САНКТ-ПЕТЕРБУРГСКИЙ ПОЛИТЕХНИЧЕСКИЙ УНИВЕРСИТЕТ

ПЕТРА ВЕЛИКОГО

\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_

Институт компьютерных наук и технологий

Высшая школа интеллектуальных систем и суперкомпьютерных технологий

Отчет

по заданию Verilog lab2

Дисциплина

«Технологии проектирования аппаратных средств компьютерных систем»

Выполнил:

Бараев Д. Р.

Группа: 3540901/02001

Преподаватель: А. П. Антонов

Санкт-Петербург

2020

Оглавление

[1 Упражнение 2\_1 4](#_Toc59806199)

[1.1 Задание 4](#_Toc59806200)

[1.2 Результат синтеза (RTL) 4](#_Toc59806201)

[1.3 Функциональное моделирование 4](#_Toc59806202)

[1.4 Назначение выводов СБИС 5](#_Toc59806203)

[1.5 Выводы 5](#_Toc59806204)

[2 Упражнение 2\_2 5](#_Toc59806205)

[2.1 Задание 5](#_Toc59806206)

[2.2 Результат синтеза (RTL) 6](#_Toc59806207)

[2.3 Функциональное моделирование 6](#_Toc59806208)

[2.4 Назначение выводов СБИС 6](#_Toc59806209)

[2.5 Выводы 7](#_Toc59806210)

[3 Упражнение 2\_3 7](#_Toc59806211)

[3.1 Задание 7](#_Toc59806212)

[3.2 Схема проекта 7](#_Toc59806213)

[3.3 Результат синтеза (RTL) 7](#_Toc59806214)

[3.4 Функциональное моделирование 7](#_Toc59806215)

[3.5 Назначение выводов СБИС 8](#_Toc59806216)

[3.6 Выводы 8](#_Toc59806217)

[4 Упражнение 2\_4 8](#_Toc59806218)

[4.1 Задание 8](#_Toc59806219)

[4.2 Результат синтеза (RTL) 9](#_Toc59806220)

[4.3 Функциональное моделирование 9](#_Toc59806221)

[4.4 Назначение выводов СБИС 10](#_Toc59806222)

[4.5 Выводы 10](#_Toc59806223)

Список иллюстраций

[Рис. 1‑2 Результат моделирования RTL-Viewer 4](#_Toc30449247)

[Рис. 1‑3 Функциональное моделирование 4](#_Toc30449248)

[Рис. 1‑4 Назначение выводов в приложении Pin Planner 5](#_Toc30449249)

[Рис. 2‑2 Результат моделирования RTL-Viewer 6](#_Toc30449250)

[Рис. 2‑3 Функциональное моделирование 6](#_Toc30449251)

[Рис. 2‑4 Назначение выводов в приложении Pin Planner 7](#_Toc30449252)

[Рис. 3‑2 Результат моделирования RTL-Viewer 8](#_Toc30449253)

[Рис. 3‑3 Функциональное моделирование 8](#_Toc30449254)

[Рис. 3‑4 Назначение выводов в приложении Pin Planner 8](#_Toc30449255)

[Рис. 4‑1 Результат моделирования RTL-Viewer 9](#_Toc30449256)

[Рис. 4‑2 Функциональное моделирование 10](#_Toc30449257)

[Рис. 4‑3 Назначение выводов в приложении Pin Planner 10](#_Toc30449258)

# Упражнение 2\_1

## Задание

На языке Verilog опишите знаковый умножитель\сумматор.

## Результат синтеза (RTL)

Результат синтеза в пакете Quartus приведен ниже, на Рис. 1‑2. Изображение схемы получено с помощью приложения RTL Viewer.

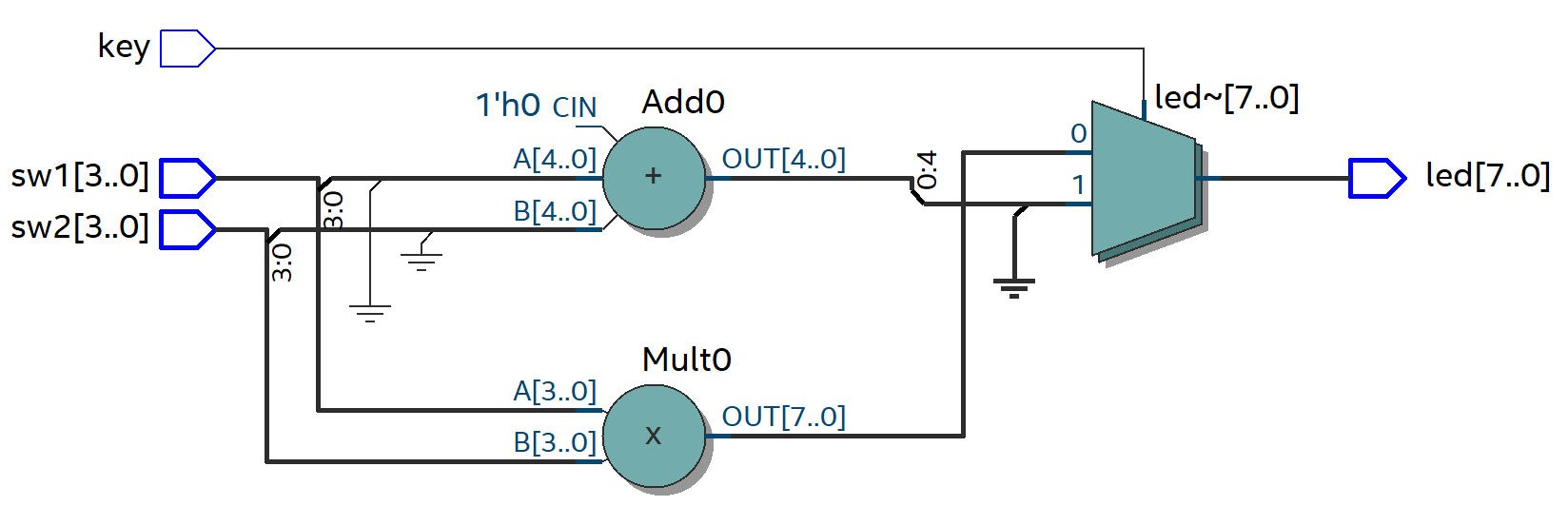
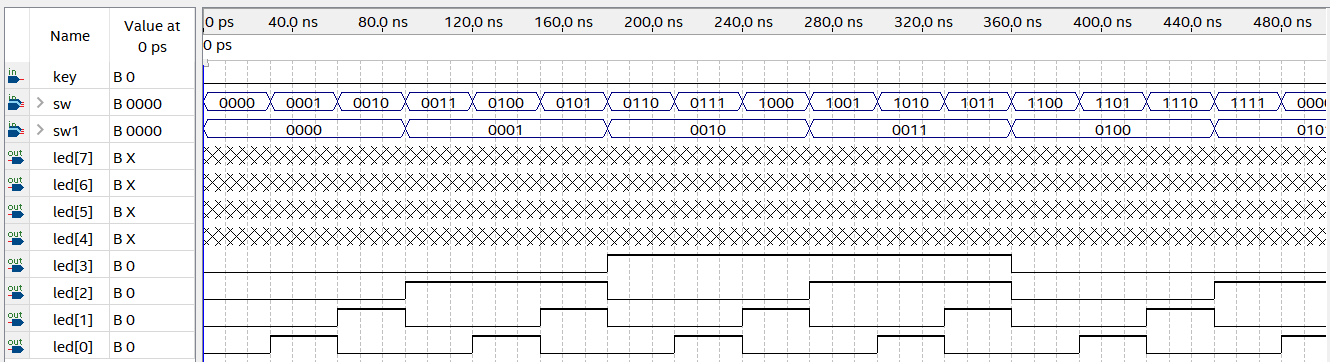


Рис. 1‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование



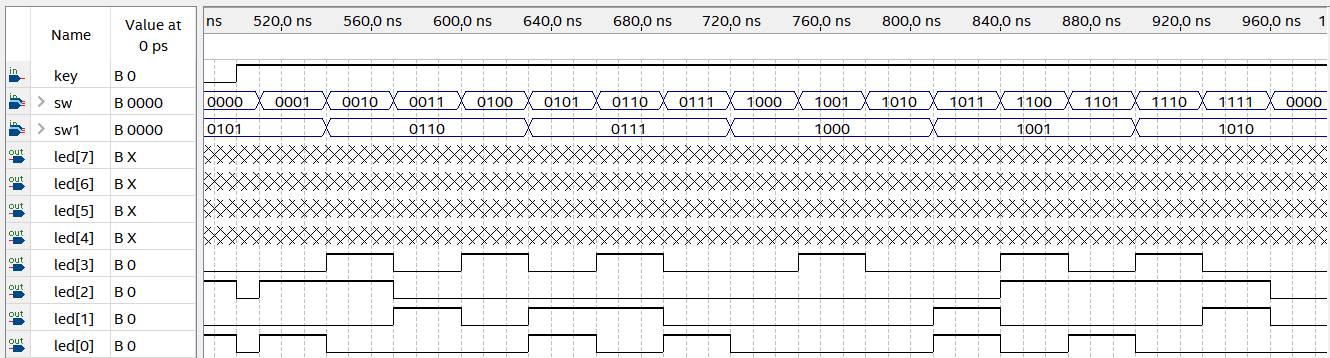


Рис. 1‑3 Функциональное моделирование

## Назначение выводов СБИС

Назначение выводов СБИС и стандартов ввода вывода, выполненное в приложении Pin Planner пакета Quartus, приведено на Рис. 1‑4

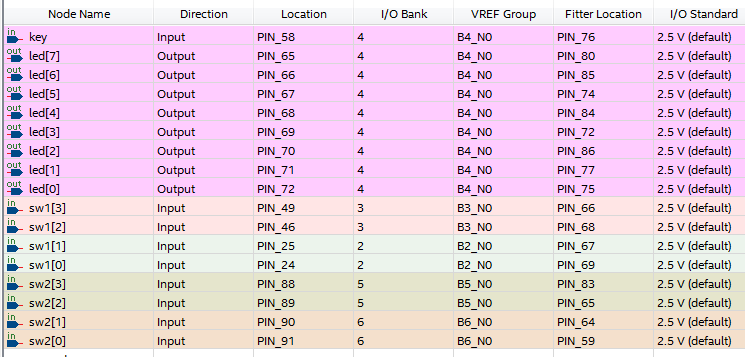


Рис. 1‑4 Назначение выводов в приложении Pin Planner

## Выводы

В ходе проведения лабораторной работы на языке Verilog был описан знаковый умножитель\сумматор. Описана заданная схема, проведена проверка работоспособности с помощью инструментов пакета Quartus.

# Упражнение 2\_2

## Задание

На языке Verilog опишите без знаковый умножитель 4-х разрядного числа на фиксированные числа (10 и 11).

* Вход данных - переключатели sw[3:0]
* Управление отображением числа – переключатель sw[7]
* При 1 – отображается результат умножения на 11
* При 0 – отображается результат умножения на 10
* Выходы – светодиоды led[7:0]

В описании можно использовать ТОЛЬКО операторы: сдвига, сложения, вычитания.

## Результат синтеза (RTL)

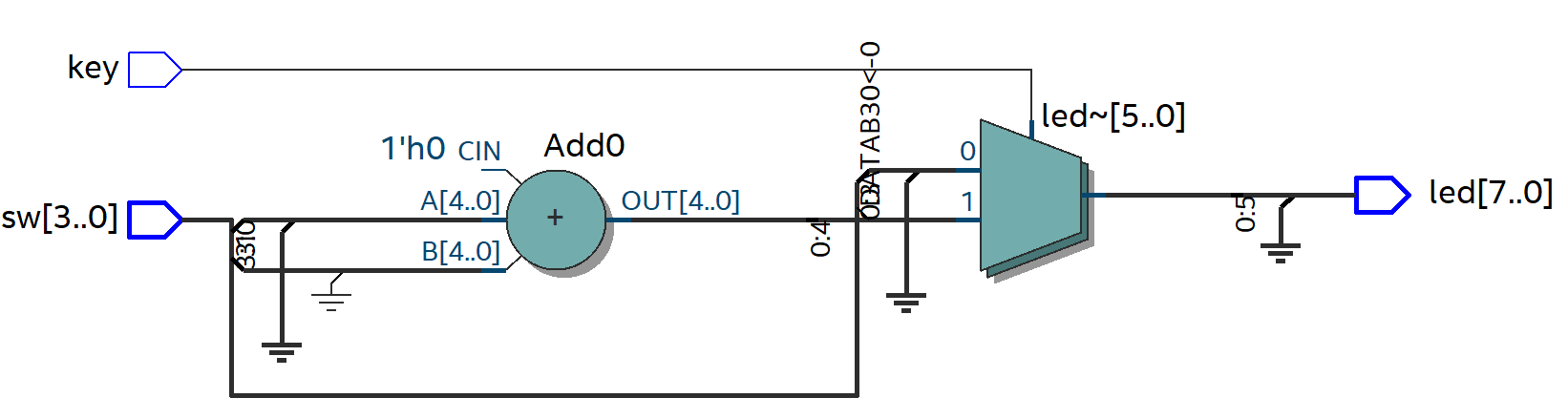


Рис. 2‑2 Результат моделирования RTL-Viewer

## Функциональное моделирование

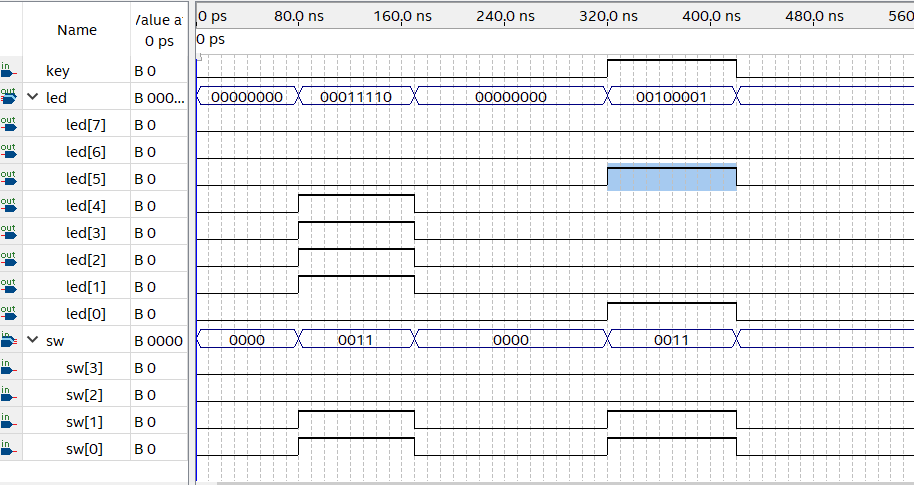


Рис. 2‑3 Функциональное моделирование

## Назначение выводов СБИС

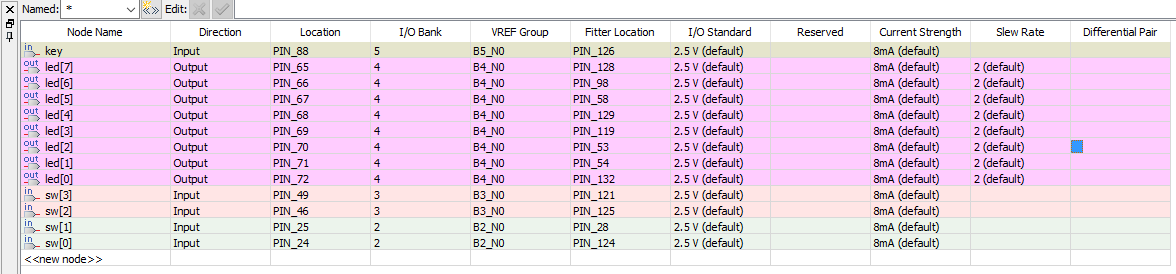


Рис. 2‑4 Назначение выводов в приложении Pin Planner

## Выводы

На языке Verilog был описан без знаковый умножитель 4-х разрядного числа на фиксированные числа (10 и 11). Проведена проверка работоспособности с помощью инструментов пакета Quartus, выполнено тестирование на плате. Моделирование проведено успешно, устройство работает правильно.

# Упражнение 2\_3

## Задание

На языке Verilog опишите устройство выбора максимума из четырех 2-х разрядных данных чисел.

* Входы данных -переключатели sw[7:6] sw[5:4] sw[3:2] sw[1:0]
* Выход –светодиоды led[7:6], остальные светодиоды выключены

## Схема проекта

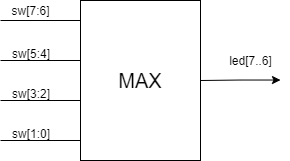


Рис. 3‑1 Схема проекта

## Результат синтеза (RTL)

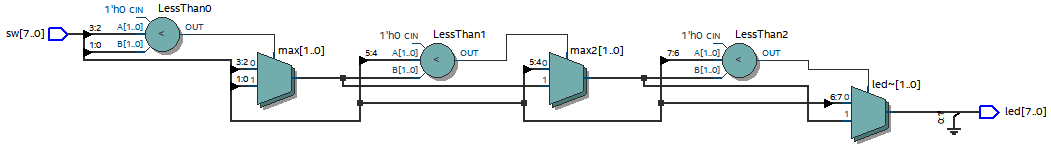
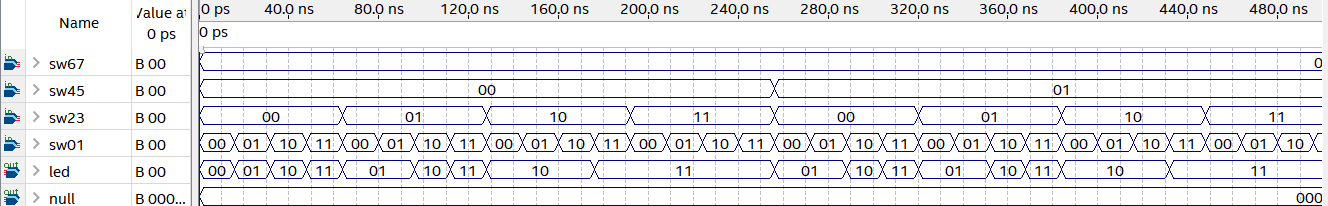


Рис. 3‑2 Синтезированная схема

## Функциональное моделирование



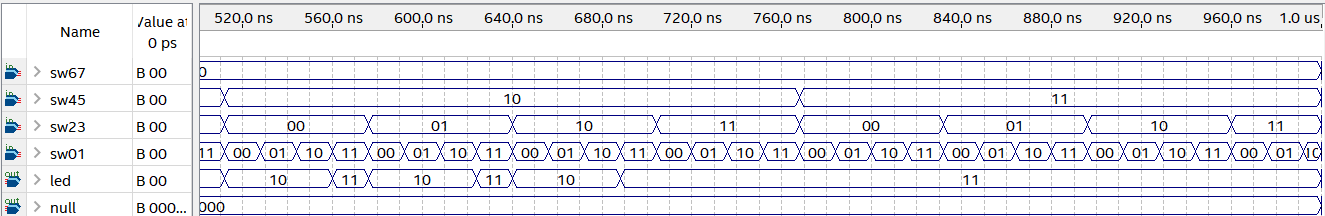


Рис. 3‑3 Временная диаграмма

## Назначение выводов СБИС

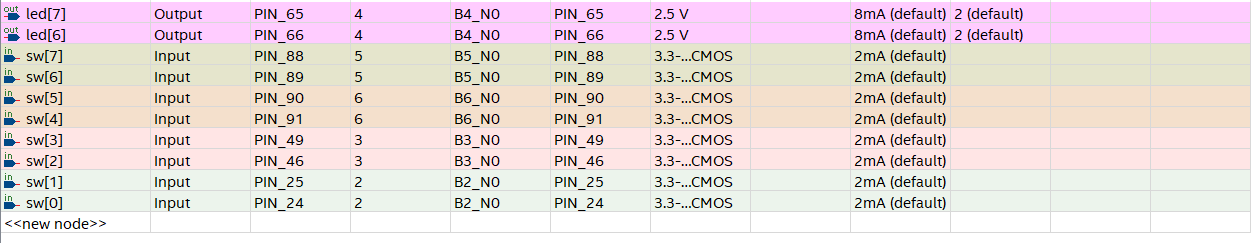


Рис. 3‑4 Назначение выводов в приложении Pin Planner

## Выводы

На языке Verilog описано устройство выбора максимума из четырех 2-х разрядных данных чисел. Проведена проверка работоспособности с помощью инструментов пакета Quartus, выполнено тестирование на плате. Моделирование и тестирование проведено успешно, устройство работает правильно.

# Упражнение 2\_4

## Задание

На языке Verilog, опишите устройство, реализующее выражение:

led[7:0]=sw[7:5]\*\*2 + 2\*sw[7:5]\*sw[2:0]+ sw[2:0]\*\*2 (все числа знаковые)

## Результат синтеза (RTL)

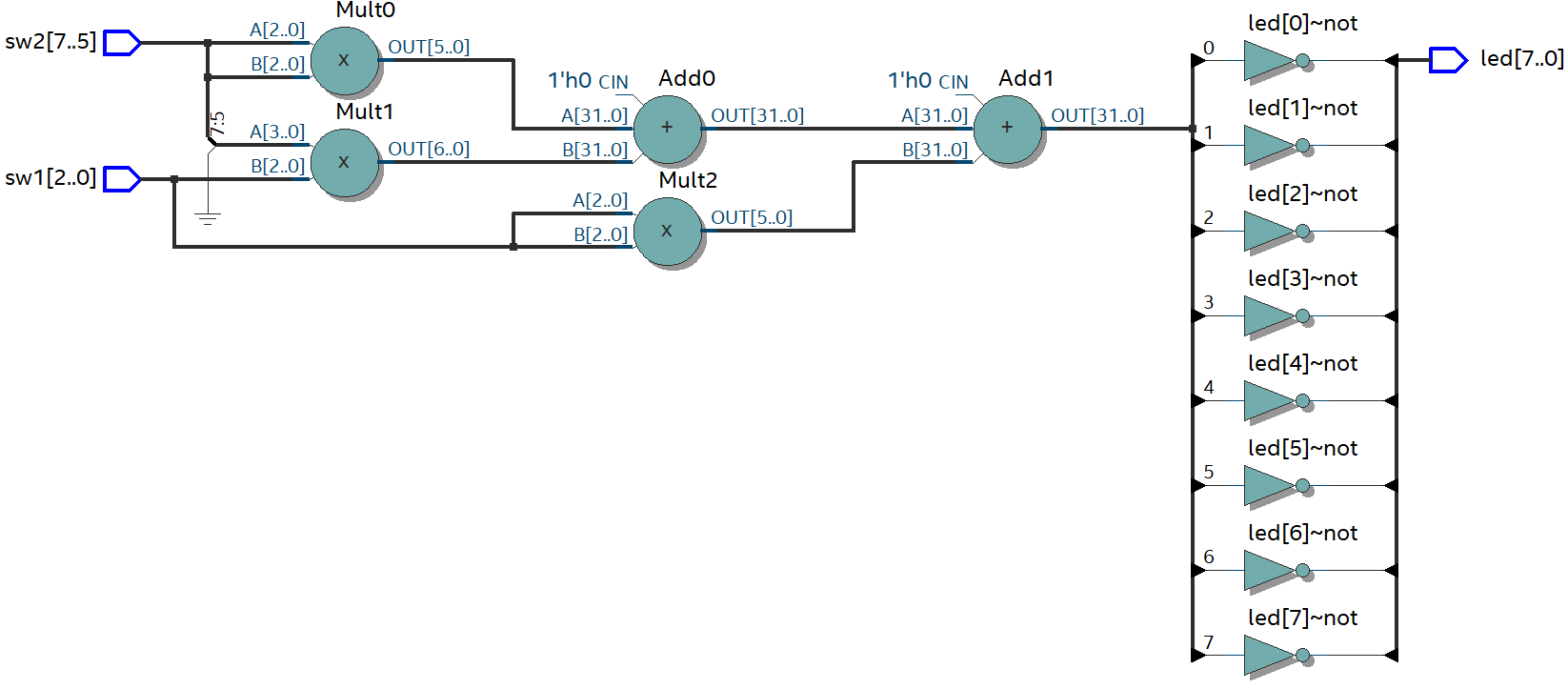


Рис. 4‑1 Результат моделирования RTL-Viewer

## Функциональное моделирование

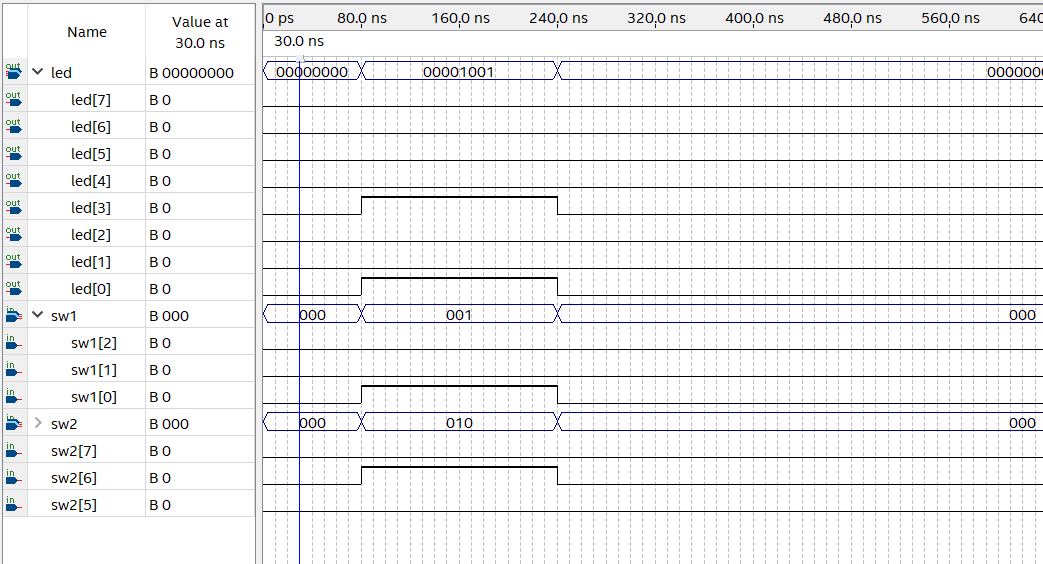


Рис. 4‑2 Функциональное моделирование

## Назначение выводов СБИС

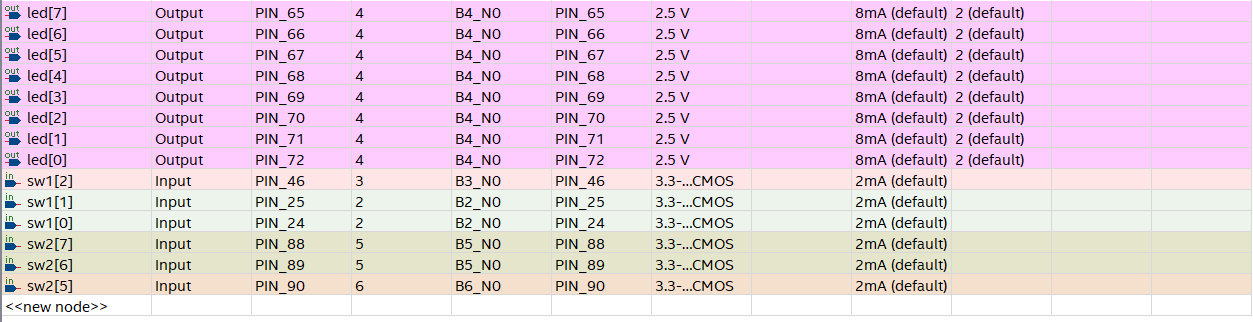


Рис. 4‑3 Назначение выводов в приложении Pin Planner

## Выводы

В ходе выполнения лабораторной работы на языке Verilog описано математическое выражение x2+2xy+y2. Проведена проверка работоспособности с помощью инструментов пакета Quartus, выполнено тестирование на плате. Моделирование проведено успешно, устройство работает правильно.